

全国 2017 年 4 月高等教育自学考试

计算机组成原理试题

课程代码:02318

请考生按规定用笔将所有试题的答案涂、写在答题纸上。

选择题部分

注意事项:

1. 答题前,考生务必将自己的考试课程名称、姓名、准考证号用黑色字迹的签字笔或钢笔填写在答题纸规定的位置上。

2. 每小题选出答案后,用 2B 铅笔把答题纸上对应题目的答案标号涂黑。如需改动,用橡皮擦干净后,再选涂其他答案标号。不能答在试题卷上。

一、单项选择题(本大题共 15 小题,每小题 1 分,共 15 分)

在每小题列出的四个备选项中只有一个是符合题目要求的,请将其选出并将“答题纸”的相应代码涂黑。错涂、多涂或未涂均无分。

1. 计算机中完成对指令译码的部件是  
A. 运算器  
B. 控制器  
C. 存储器  
D. 输入输出设备
2. 在计算机内部表示指令和数据的最终形式是  
A. 二进制数  
B. 八进制数  
C. 十进制数  
D. 十六进制数
3. 一个可执行程序在启动运行时存放在  
A. 控制器  
B. 主存储器  
C. 辅助存储器  
D. 运算器
4. 若十进制数为-85,则其对应的 8 位补码 $[X]_{补}$ 为  
A. 01010101  
B. 10101010  
C. 10101011  
D. 11010101
5. 下列软件中不是系统软件的是  
A. UNIX  
B. Oracle  
C. Office  
D. Visual Studio

6. 在采用立即寻址方式的指令中，操作数在
- A. 指令中
  - B. 通用寄存器中
  - C. 内存中
  - D. 外存中
7. 下列关于指令系统的说法正确的是
- A. RISC 指令系统比 CISC 指令系统复杂，指令条数多
  - B. CISC 指令系统指令周期比 RISC 指令系统指令周期短
  - C. RISC 指令系统中指令的长度一致
  - D. CISC 指令系统计算机采用硬连线控制器
8. MIPS 计算机的汇编指令“and \$s1, \$s2, \$s3”的功能是
- A.  $\$s3 = \$s1 + \$s2$
  - B.  $\$s1 = \$s2 + \$s3$
  - C.  $\$s2 = \$s1 + \$s2$
  - D.  $\$s1 = \$s2 \& \$s3$
9. 下列关于异常和中断的描述中，错误的是
- A. 中断是由 CPU 之外的部件触发的事件
  - B. 中断是与 CPU 当前执行指令无关的异步事件
  - C. 异常是与当前执行指令相关的同步事件
  - D. 异常是可以由 CPU 通过屏蔽字进行屏蔽的事件
10. 存放微程序的控制存储器包含在
- A. 堆栈存储器中
  - B. 主存储器中
  - C. 控制器中
  - D. 运算器中
11. 一个 8KB 的存储器，按字节编址需要地址线
- A. 11 条
  - B. 12 条
  - C. 13 条
  - D. 14 条
12. 在计算机的存储器层次结构中，速度最快的是
- A. 硬盘
  - B. 寄存器
  - C. 高速缓存
  - D. 主存
13. 在采用奇校验编码时，一组数据位与校验位中共包含有
- A. 奇数个“0”
  - B. 奇数个“1”
  - C. 偶数个“0”
  - D. 偶数个“1”
14. 在计算机中将运算器和控制器合称为
- A. 主机
  - B. 外设
  - C. ALU
  - D. CPU
15. 下列寻址方式中，获取操作数最快的是
- A. 直接寻址
  - B. 间接寻址
  - C. 寄存器直接寻址
  - D. 相对寻址

## 非选择题部分

注意事项:

用黑色字迹的签字笔或钢笔将答案写在答题纸上,不能答在试题卷上。

二、填空题(本大题共 19 空, 每空 1 分, 共 19 分)

16. 存储器分为内存和外存, 而内存包括\_\_\_\_\_和\_\_\_\_\_。
17. 在 Intel 的 CPU 中将内部异常分为\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_三类。
18. 根据能否由屏蔽字来屏蔽, 中断分为\_\_\_\_\_和\_\_\_\_\_两类。
19. 两个 8 位二进制整数的补码 01101001 和 00010111 相加后, 标志位 CF=\_\_\_\_\_, SF=\_\_\_\_\_, OF=\_\_\_\_\_, ZF=\_\_\_\_\_。
20. 解决 cache 与主存一致性问题的 cache 写操作一般有\_\_\_\_\_和\_\_\_\_\_两种。
21. 计算机系统总线包括\_\_\_\_\_线、\_\_\_\_\_线和\_\_\_\_\_线。
22. 中断服务程序一般包含三个阶段, 分别是\_\_\_\_\_阶段、\_\_\_\_\_阶段、\_\_\_\_\_阶段。

三、名词解释题(本大题共 4 小题, 每小题 3 分, 共 12 分)

23. 易失性存储器
24. 寻址方式
25. DMA 控制器
26. 系统程序员

四、简答题(本大题共 3 小题, 每小题 5 分, 共 15 分)

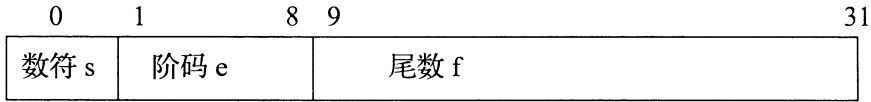
27. 简述计算机中多字节数据存储时, 大端和小端存储方式的差异。
28. 简述 CISC 指令系统的特点。
29. 为什么动态存储器需要刷新?

五、计算题(本大题共 3 小题, 每小题 5 分, 共 15 分)

30. 某计算机的时钟频率为 2.5GHz, 指令集中有 A~E 五种不同类型的指令, 这五类指令的平均时钟周期数 CPI 分别为 3、2、4、5、3。设有一程序 P 的指令序列中, 五类指令所占比例分别为 20%、28%、22%、10%、20%。

- (1) 该计算机的峰值 MIPS 是多少?
- (2) 该计算机执行程序 P 的平均时钟周期数 CPI 是多少?

31. 将计算机中用 IEEE754 单精度浮点数格式表示的机器数  $(\text{BFB00000})_{16}$  转换成十进制真值。注：IEEE754 单精度浮点数的计数公式为  $(-1)^s \times 1.f \times 2^{e-127}$ ，IEEE754 单精度浮点数的机器数格式如下：

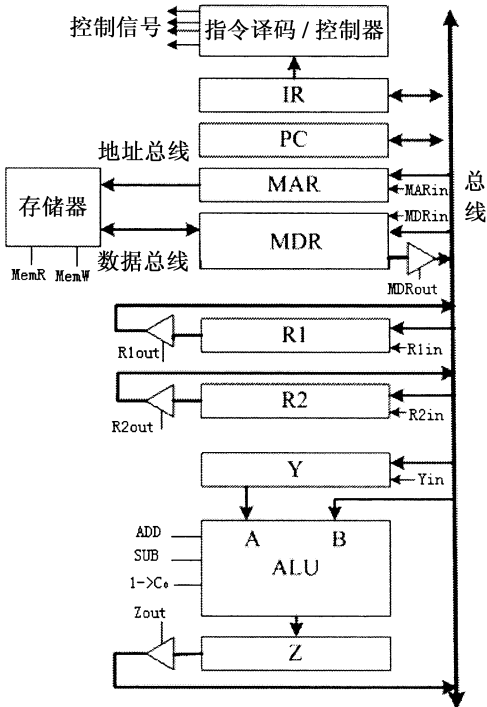


32. 设有同步总线宽度为 32 位，时钟频率为 80MHz，一个时钟周期传送一次数据，该总线的带宽是多少 MB/s？如果对总线进行改进让其一个时钟周期能传送 4 次数据，时钟频率降低到 60MHz，则总线的带宽是多少 MB/s？

六、综合题（本大题共 2 小题，每小题 12 分，共 24 分）

33. 某计算机字长 16 位，采用 16 位定长指令格式，部分数据通路结构如图所示。假设 MAR 的输出一直处于使能状态。

- (1) 减法指令“SUB R1, R2”在执行阶段需要多少个节拍？注：该指令功能为 R1 的内容减去 R2 的内容，结果送入 R1 中。
- (2) 写出每个节拍的功能和有效控制信号。



题 33 图

34. 某计算机主存地址空间大小 32MB，按字节编址。主存与 Cache 之间采用全相联映射方式，块大小为 512 字节。Cache 数据区大小为 8KB。问 cache 共有多少行？主存地址如何划分？（要求说明每个字段的含义、位数和在主存地址中的位置。）